

PAT-NO: JP410209865A

DOCUMENT-IDENTIFIER: JP 10209865 A

TITLE: TEST CIRCUIT FOR A/D CONVERTER

PUBN-DATE: August 7, 1998

INVENTOR-INFORMATION:

NAME

MURAKAMI, NORITAKA

ASSIGNEE-INFORMATION:

NAME COUNTRY

NEC IC MICROCOMPUT SYST LTD N/A

APPL-NO: JP09011080

APPL-DATE: January 24, 1997

INT-CL (IPC): H03M001/10, G01R031/00

ABSTRACT:

PROBLEM TO BE SOLVED: To check a non-linear error and a differential non-linear error in a relatively small circuit scale by providing a gate counter circuit for counting/ stopping a clock signal by the coincidence/incoincidence signal of a comparator circuit.

SOLUTION: A comparator circuit 5 compares an output latch signal Ld of a latch circuit 4 with a digital value Dn, and when they are made coincident, an H level is outputted as a compared result signal Cs. An AND circuit 61 of a gate counter 6 allows a clock CK to pass while the signal Cs is the H level, and outputs a gate clock signal CN. When incoincidence is generated in the compared result of the latch signal Ld and the digital value Dn obtained by the comparator circuit 5, and the compared result signal Cs is an L level, the AND circuit 61 of the gate counter 6 stops the passage of the clock signal Ck, and the gate clock signal CN is interrupted. A comparator circuit 8 compares a count value NC of the counter circuit 62 with a preliminarily set comparison C, and outputs a conversion error E being a different between those values.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-209865

(43)公開日 平成10年(1998)8月7日

(51)Int.Cl.<sup>6</sup>  
H 03M 1/10  
G 01R 31/00

識別記号

F I  
H 03M 1/10  
G 01R 31/00

C

審査請求 有 請求項の数 5 O L (全 6 頁)

(21)出願番号 特願平9-11080

(22)出願日 平成9年(1997)1月24日

(71)出願人 000232036  
日本電気アイシーマイコンシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 村上 典隆  
神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株式会社内

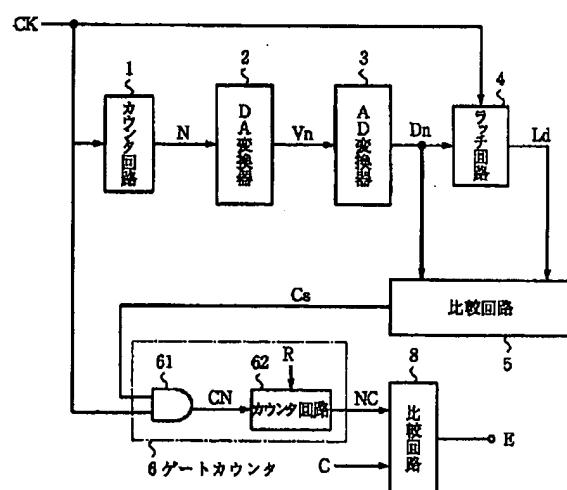
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 AD変換器のテスト回路

(57)【要約】

【課題】非直線性誤差及び微分非直線性誤差のチェックができる比較的小回路規模のAD変換器のテスト回路を提供する。

【解決手段】ディジタル値D<sub>n</sub>とラッチ信号L<sub>d</sub>とを比較し一致に応答してHレベルの、不一致に応答してLレベルの比較信号C<sub>s</sub>を出力する比較回路5と、比較信号C<sub>s</sub>のHレベルに応答してクロック信号CKの計数を停止しカウント値NCを出力するゲートカウンタ6と、比較信号C<sub>s</sub>のLレベルに応答してクロック信号CKの計数を停止しカウント値NCと予め定めた比較値Cとを比較する比較回路8とを備える。



1

## 【特許請求の範囲】

【請求項1】 クロック信号をカウントし第1のカウント値を出力する第1のカウンタ回路と、前記第1のカウント値をディジタルアナログ変換しアナログ電圧値を出力するDA変換器と、前記アナログ電圧値をアナログデジタル変換し変換ディジタル値を出力する試験対象のAD変換器と、前記変換ディジタル値を保持し第1のラッチ信号を出力する第1のラッチ回路とを備えるAD変換器のテスト回路において、

前記変換ディジタル値と前記第1のラッチ信号とを比較し一致に応答して一致信号を出力し不一致に応答して不一致信号を出力する第1の比較回路と、

前記一致信号の供給に応答して前記クロック信号を計数し前記不一致信号の供給に応答して前記クロックの計数を停止し第2のカウント値を出力するゲートカウンタ回路と、

前記不一致信号のタイミングで前記第2のカウント値と予め定めた比較値とを比較する第2の比較回路とを備えることを特徴とするAD変換器のテスト回路。

【請求項2】 前記ゲートカウンタ回路が、前記一致信号と前記クロック信号との論理演算を行いゲートクロック信号を出力する論理ゲート回路と、

前記ゲートクロック信号をカウントし前記第2のカウント値を出力する第2のカウンタ回路とを備えることを特徴とする請求項1記載のAD変換器のテスト回路。

【請求項3】 前記第1の比較回路が、前記一致信号として第1のレベルを出力し前記不一致信号として第2のレベルを出力することを特徴とする請求項1記載のAD変換器のテスト回路。

【請求項4】 前記第2のカウント値を保持し第2のラッチ信号を出力する第2のラッチ回路と、

前記第2の比較回路及び前記第2のラッチ回路の各々への前記第2のカウント値の供給を接・断する第1及び第2のスイッチとを備え、

前記ゲートカウンタ回路の計数停止時にラッチした前記第2のカウント値対応の前記第2のラッチ信号を前記比較値として用いることを特徴とする請求項1記載のAD変換器のテスト回路。

【請求項5】 前記比較値が、前記AD変換器の非直線性誤差又は微分非直線性誤差に相当する値を設定することを特徴とする請求項1記載のAD変換器のテスト回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明はアナログディジタル変換器（以下AD変換器）のテスト回路に関し、特にAD変換器の変換精度チェック用のAD変換器のテスト回路に関する。

## 【0002】

【従来の技術】一般にAD変換器の精度を表すのに、非

直線性誤差と微分非直線性誤差とを用いる。非直線性誤差とはAD変換器の入力電圧に対する出力ディジタル信号を表すグラフ上で、出力ディジタル信号の入力電圧0に対応する全ビット値0（オール0）の点から最大入力電圧に対応する全ビット値1（オール1）の点を結んだ直線と実際の測定値との偏差を表し、微分非直線性とは各入力電圧点における最小ビット（1 LSB）の変化量に対する理論値と測定値の偏差を表す。

【0003】この非直線性誤差と微分非直線性誤差をチェックする特開昭61-137429号公報記載の従来のAD変換器のテスト回路をブロックで示す図5を参照すると、この従来のAD変換器のテスト回路は、クロック信号CKをカウントしカウント値Nを出力するカウンタ回路1と、カウント値NをDA変換し電圧値Vnを出力するDA変換器2と、電圧値VnをAD変換しこの電圧値Vnに相当するディジタル値Dnを出力する試験対象のAD変換器3と、ディジタル値Dnをラッチしラッチ信号Ldを出力するラッチ回路4と、ディジタル値Dnとラッチ信号Ldとの比較を行い比較信号Cdを出力する比較回路12と、カウント値Nをラッチしラッチ信号Lnを出力するラッチ回路13と、ラッチ信号Lnをラッチしラッチ信号L1を出力するラッチ回路14と、ラッチ信号Ln, L1の差を計算し演算値Saを出力する減算回路15と、演算値Saと予め設定された比較値Aとを比較し微分非直線誤差Caを出力する比較回路16と、ラッチ回路13のラッチ信号Lnと電圧値Dnとの差を計算し演算値Sbを出力する減算回路17と、演算値Sbと予め設定された比較値Bとを比較し非直線誤差Cbを出力する比較回路18とを備える。ここで、DA変換器2は被試験AD変換器3よりも精度の良いものを用いる。

【0004】次に、図5、信号処理手順をフローチャートで示す図6及び各部波形をタイムチャートで示す図7を参照して、従来のAD変換器のテスト回路の動作について説明すると、まず、クロック信号CKを1ステップづつカウンタ回路1でカウントしカウント値Nを出力し（ステップS1）、DA変換器2はカウント値Nをアナログ変換してアナログ電圧値Vnを出力する（ステップS2）。被試験用AD変換器3はこの電圧値Vnをディジタル値Dnに変換する（ステップS3）。同時に、ラッチ回路4はディジタル値Dnをラッチする（ステップS4）。比較回路12はラッチ回路4の出力値Ldと次ステップのディジタル値Dnとを比較し（ステップP5）、不一致ならばパルス信号である比較信号Cdを出力し、ラッチ回路13にカウンタ回路1の出力カウント値Nを、ラッチ回路14にラッチ回路13の出力ラッチ信号Lnをそれぞれラッチする（ステップP6）。減算回路15はラッチ信号Ln, L1の差を計算することにより、AD変換器3の出力ディジタル値Dnの1 LSB分の変化に相当するカウント値Nの変化量を演算値Sa

3

として求める(ステップP7)。この演算値Saと比較値Aとを比較回路16により比較することによって微分非直線性誤差Caのチェックを行うことができる(ステップP8)。

【0005】また、減算回路17にてデジタル値Dnとラッチ信号Ldとの差を計算することにより、非直線性誤差対応の演算値Sbを求めることになり、比較回路18でこの演算値Sbを比較値Bと比較することによって非直線性誤差Cbのチェックを行うことができる。

【0006】以上のように、この従来例によれば迅速に非直線性誤差及び微分非直線性誤差のチェックができる、誤差精度についても簡単に設定することができるが、AD変換器の出力値1 LSBに相当するカウンタ回路の出力値を求めるための減算回路やラッチ回路等が必要であるため回路規模が大きくなる。

#### 【0007】

【発明が解決しようとする課題】上述した従来のAD変換器のテスト回路は、AD変換器の出力値1 LSB分に相当するカウンタ回路の出力値を算出するためのラッチ回路や減算回路が必要であるため、回路規模が大きくなるという欠点があった。

【0008】本発明の目的は、非直線性誤差及び微分非直線性誤差のチェックができ比較的小回路規模のAD変換器のテスト回路を提供することにある。

#### 【0009】

【課題を解決するための手段】本発明のAD変換器のテスト回路は、クロック信号をカウントし第1のカウント値を出力する第1のカウンタ回路と、前記第1のカウント値をディジタルアナログ変換しアナログ電圧値を出力するDA変換器と、前記アナログ電圧値をアナログディジタル変換し変換ディジタル値を出力する試験対象のAD変換器と、前記変換ディジタル値を保持し第1のラッチ信号を出力する第1のラッチ回路とを備えるAD変換器のテスト回路において、前記変換ディジタル値と前記第1のラッチ信号とを比較し一致に応答して一致信号を出力し不一致に応答して不一致信号を出力する第1の比較回路と、前記一致信号の供給に応答して前記クロック信号を計数し前記不一致信号の供給に応答して前記クロックの計数を停止し第2のカウント値を出力するゲートカウンタ回路と、前記不一致信号のタイミングで前記第2のカウント値と予め定めた比較値とを比較する第2の比較回路とを備えて構成されている。

#### 【0010】

【発明の実施の形態】次に、本発明の第1の実施の形態を図5と共に構成要素には共通の参照文字/数字を付して同様にブロックで示す図1を参照すると、この図に示す本実施の形態のAD変換器のテスト回路は、従来と共にカウンタ回路1と、DA変換器2と、AD変換器3と、ラッチ回路4とに加えて、比較回路12の代わりにデジタル値Dnとラッチ信号Ldとの比較を行つ

4

致の場合にはHレベル、不一致の場合にはLレベルの比較信号Csを出力する比較回路5と、比較信号CsがHレベルの時クロックCKをカウントしてカウント値NCを出力し比較信号CsがLレベルの時カウントを停止するゲートカウンタ6と、比較結果信号Csの不一致のタイミングでカウント値NCと予め設定した比較値Cとを比較し変換誤差Eを出力する比較回路8とを備える。

【0011】ゲートカウンタ6は、クロックCKと比較結果信号Csとの論理積をとりゲートクロック信号CNを出力するAND回路61と、ゲートクロック信号CNをカウントしカウント値NCを出力するカウンタ回路62とを備える。

【0012】カウンタ回路62のビット数は、デジタル値Dnのビット数Dbとすると( $Nb - Db$ ) + 1 ~ 3ビット程度でよく、最高でもDA変換器2の入力すなわちカウント値Nのビット数Nbと同一でよい。

【0013】次に、図1、信号処理手順をフローチャートで示す図2及び各部波形をタイムチャートで示す図3を参照して本実施の形態の動作について説明すると、まずカウンタ回路1は、DA変換器2の入力ビット数Nbと同一ビット数を有し、全ビットの値が0すなわちオール0から全ビットの値が1すなわちオール1まで1ステップずつクロック信号CKをカウントしていく、カウント値Nを順次DA変換器2に入力する(ステップS1)。DA変換器2は入力したカウント値NをDA変換し相当する電圧値Vnを出力し被試験用AD変換器3に供給する(ステップS2)。被試験用AD変換器3はこの電圧値Vnをデジタル値Dnに変換する(ステップS3)。同時に、ラッチ回路4はデジタル値Dnをラッチする(ステップS4)。ここまで動作は上述した従来技術と同じである。

【0014】次に、比較回路5はラッチ回路4の出力ラッチ信号Ldと次ステップのディジタル値Dnとを比較し(ステップS5)、比較結果が一致ならば比較結果信号CsとしてHレベルを出力し、ゲートカウンタ6のAND回路61は信号CsのHレベルの間クロックCKを通過させゲートクロック信号CNを出力する。カウンタ回路62はゲートクロック信号CNの供給に応答してカウントアップし、カウント値NCを出力する(ステップS6)。

【0015】ここで、カウンタ回路1は常時クロック信号CKの供給を受けているためカウント値Nが変化し、このカウント値Nの変化に応答してAD変換器3の出力ディジタル値Dnも変化し、ついには比較回路5でのラッチ信号Ldとの比較結果不一致を生じ、比較結果信号CsをLレベルとする。比較結果信号CsがLレベルとなると、ゲートカウンタ6のAND回路61はクロックCKの通過を停止させゲートクロック信号CNが中断する。このゲートクロック信号CNの中断によりカウンタ回路62のカウントは停止する(ステップS7)。ここ

でカウンタ回路6 2はAD変換器3の出力ディジタル値D<sub>n</sub>の1 LSB分の変化量に相当するクロック信号CK対応のゲートクロックCNのカウント値NCを出力している。この時、比較回路8はカウンタ回路6 2のカウント値NCと予め設定した比較値Cとを比較し（ステップS8）それらの差である変換誤差Eを出力する（ステップS9）。この比較値Cに微分非直線性誤差に相当する値及び非直線性誤差に相当する値を測定目的に応じてそれぞれ設定することにより両者のテスト結果を得ることができる。上記比較結果が一致し変換誤差Eが0の場合にはカウンタ回路6 2をリセット信号Rによりクリアし、最下位ビットに1を設定し、再びカウントアップを開始する。比較結果が不一致の場合は変換誤差Eを出力し、その後同様にカウンタ回路6 2をリセット信号Rによりクリアし、ステップS1～S8の手順を反復する。

【0016】次に、本発明の第2の実施の形態を図1と共に構成要素には共通の参考文字／数字を付して同様にブロックで示す図4を参照すると、この図に示す本実施の形態の前述の第1の実施の形態との相違点は、カウンタ回路6 2の出力と比較回路8との間にカウント値NCをラッチし比較値CLとして保持するラッチ回路9と、このラッチ回路の接続・切断を選択するスイッチ10、11とを設けたことである。

【0017】動作について説明すると、カウンタ回路6 2は比較回路5の比較結果が一致し比較結果信号CsがHレベルの時はカウントアップし、不一致で信号CsがLレベルの時は停止する。ここまでは第1の実施の形態と同じである。本実施の形態では、カウンタ回路6 2が停止した時、スイッチ11をON、スイッチ10をOF Fとしてカウンタ回路6 2のカウント値NCをラッチ回路9でラッチする。その後は、常にスイッチ11をOFF、スイッチ10をONとし、ラッチ回路9の出力値を比較値CLとして、第1の実施の形態と同様に比較回路8にて比較を行うため外部から比較値を入力する必要がなくなる。

【0018】以上説明したように、本実施の形態によれば非直線性誤差及び微分非直線性誤差のチェックを行う場合に上述の従来技術で用いていたカウント値Nのラッチ回路13、14、各誤差Ca、Cb算出用の減算回路15、20及び誤差Cb検出用の比較回路18が不要となる。それに代わってカウンタ回路6 2が必要となるが、上述したようにカウンタ回路6 2のビット数は、デジタル値D<sub>n</sub>のビット数D<sub>b</sub>とすると（N<sub>b</sub>-D<sub>b</sub>）+1～3ビット程度でよく、最高でもDA変換器2の入力すなわちカウント値Nのビット数N<sub>b</sub>と同一でよい。

【0019】ここでカウンタ回路6 2のビット数がDA変換器2の入力ビット数と同一の場合でも、その素子数は従来技術のラッチ回路13、14と同程度であるため、従来の減算回路15、20、比較回路18に相当する素子数は削減できる。

【0020】例えば、DA変換器2の入力ビット数10、被試験用のAD変換器3の出力ビット数8とし、これらDA変換器2とAD変換器3を除いたテスト回路部の素子数は、従来技術が約1450素子、本実施の形態では約700素子であるので約750素子削減できる。従って回路規模は約52%減少する。

【0021】また、図2及び図6に示すように、処理手順についても従来例とさほど変わらない。

【0022】このように従来に比べ規模の小さい回路で変換誤差のチェックができ、処理手順もさほど変えずに、同一精度の結果を得ることができる。

#### 【0023】

【発明の効果】以上説明したように、本発明のAD変換器のテスト回路は、相続く変換ディジタル値を比較し一致信号又は不一致信号を出力する第1の比較回路と、上記一致信号の供給に応答してクロック信号を計数し上記不一致信号の供給に応答してクロックの計数を停止し第2のカウント値を出力するゲートカウンタ回路と、上記不一致信号のタイミングで第2のカウント値と予め定めた比較値とを比較する第2の比較回路とを備えるので、非直線性誤差及び微分非直線性誤差のチェックを行う場合に従来技術で用いていたクロックカウント値の2つのラッチ回路、上記各誤差算出用の2つの減算回路及び比較回路が不要となることにより、新たに必要となるゲートカウンタ回路の増加分を考慮しても約50%以上の回路規模を削減できるという効果がある。

#### 【図面の簡単な説明】

【図1】本発明のAD変換器のテスト回路の第1の実施の形態を示すブロック図である。

【図2】本実施の形態のAD変換器のテスト回路における動作の一例を示すフローチャートである。

【図3】本実施の形態のAD変換器のテスト回路における動作の一例を示すタイムチャートである。

【図4】本発明のAD変換器のテスト回路の第2の実施の形態を示すブロック図である。

【図5】従来のAD変換器のテスト回路の一例を示すブロック図である。

【図6】従来のAD変換器のテスト回路における動作の一例を示すフローチャートである。

【図7】従来のAD変換器のテスト回路における動作の一例を示すタイムチャートである。

#### 【符号の説明】

1, 6 2 カウンタ回路

2 DA変換器

3 AD変換器

4, 9, 13, 14 ラッチ回路

5, 8, 12, 16, 18 比較回路

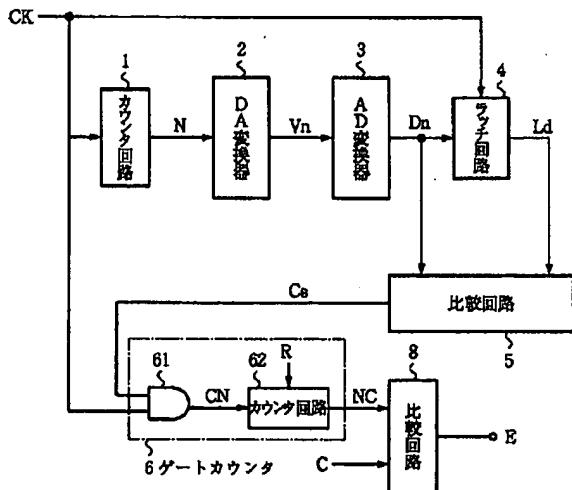
6 ゲートカウンタ

10, 12 スイッチ

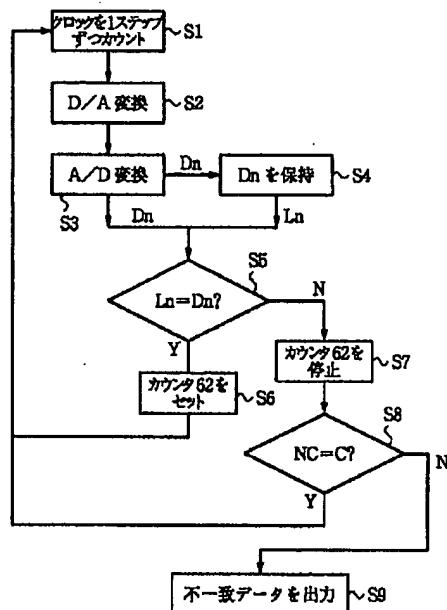
50 15, 17 減算回路

## 6.1 AND回路

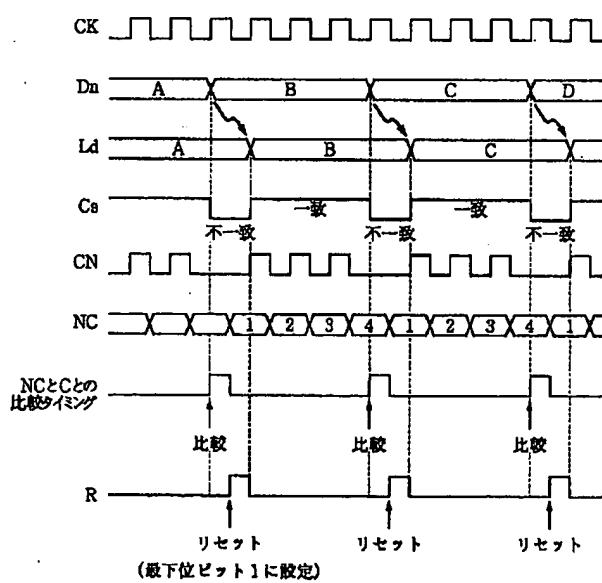
【図1】



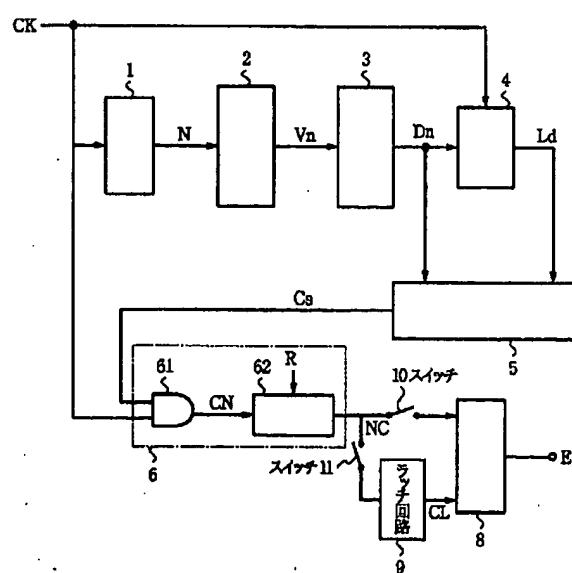
【図2】



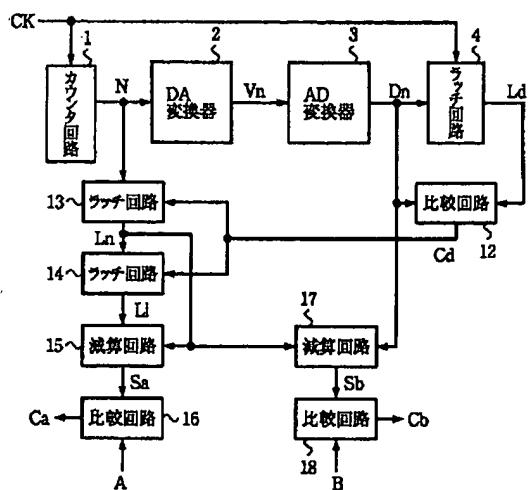
【図3】



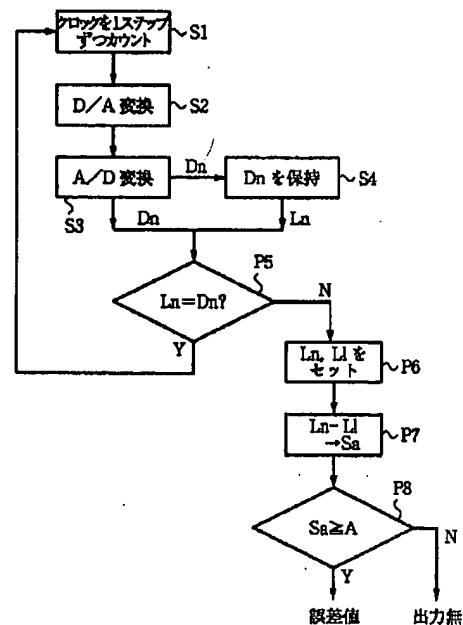
【図4】



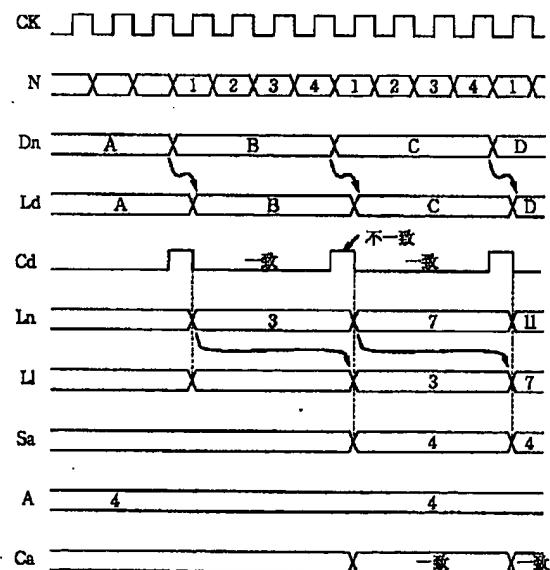
【図5】



【図6】



【図7】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.